

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08317309 A**(43) Date of publication of application: **29.11.86**

(51) Int. Cl.

H04N 5/45(21) Application number: **07121391**(22) Date of filing: **19.05.95**(71) Applicant: **SANYO ELECTRIC CO LTD**(72) Inventor: **SHIMIZU MINORU
KAMEI MITSUTOKU**

(54) VIDEO SIGNAL PROCESSING CIRCUIT

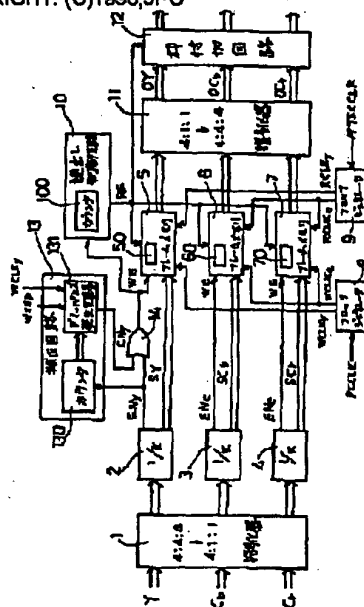
and outputted later.

(57) Abstract:

COPYRIGHT: (C)1996,JPO

PURPOSE: To reduce circuit scale and to surely prevent color slurring caused by the difference of the number of horizontal picture elements concerning the video signal processing circuit for performing reduction processing.

CONSTITUTION: The 4:4:4 component video signal of a luminance signal Y and color difference signals Cb and Cr is converted to a 4:1:1 component encoded video signal by an encoder 1, reduction processing is performed after conversion, and the result is written in frame memories 5, 6 and 7 based on an enable signal. In this case, the number of pulses in an enable signal ENy of the reduced luminance signal is counted, the difference is found between the number of horizontal picture elements at the time of decoding the reduced color difference signal to the 4:4:4 component video signal and the number of horizontal picture elements in the reduced luminance signal, the dummy pulse of this difference is generated, and the write position of the frame memory 5 for the reduced luminance signal is deviated backward just for the dummy pulse. The reduced signal read out of the frame memory is returned to the original 4:4:4 component video signal by a decoder 11



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-317309

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl.⁶

H 0 4 N 5/45

識別記号

庁内整理番号

F I

H 0 4 N 5/45

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平7-121391

(22) 出願日 平成7年(1995)5月19日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 清水 穰

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 亀井 三十九

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

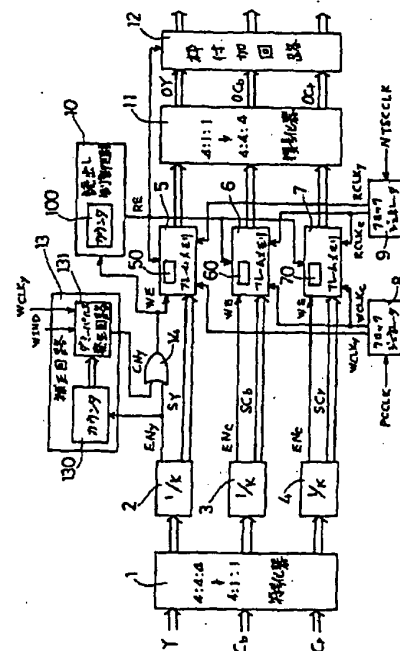
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 映像信号処理回路

(57) 【要約】

【目的】 縮小処理を行う映像信号処理回路において、回路規模を小さくすると共に、水平画素数の違いにより生じる色ずれを確実に防止する

【構成】 輝度信号Y、色差信号Cb、Crの4:4:4コンポーネント映像信号を、符号化器1で4:1:1コンポーネント符号化映像信号に変換し、変換後に縮小処理を行って、その結果をイネーブル信号に基づきフレームメモリ5、6、7に書き込む。この際、縮小輝度信号のイネーブル信号ENyのパルス数をカウントして、縮小色差信号を元の4:4:4コンポーネント映像信号に復号化したときの水平画素数と縮小輝度信号の水平画素数との差を求め、この差のダミーパルスを発生させて縮小輝度信号用のフレームメモリ5の書き込み位置をダミーパルス分だけ後方にずらす。フレームメモリから読み出した縮小信号は復号化器11によって、元の4:4:4コンポーネント映像信号に戻した後出力する。



1

【特許請求の範囲】

【請求項1】 輝度信号及び色信号を入力し該色信号の解像度を低下させた信号に符号化する符号化器と、該符号化器によって符号化された輝度信号及び色信号を縮小処理し、縮小輝度信号及び縮小色信号を出力する縮小回路と、該縮小輝度信号及び縮小色信号を各々記憶するフレームメモリと、前記フレームメモリからの縮小輝度信号及び縮小色信号の読み出しを制御する読み出し制御回路と、読み出された縮小輝度信号及び縮小色信号を入力し該縮小色信号の解像度を入力色信号の解像度と等しい信号に復号化する復号化器と、前記縮小色信号を前記復号化器で復号したときの水平画素数と前記縮小輝度信号の水平画素数との差を判別する判別回路を含み、該判別した差の画素数分だけ前記フレームメモリへの前記縮小輝度信号の書き込み位置を補正する補正回路とを備えたことを特徴とする映像信号処理回路。

【請求項2】 前記判別回路は、前記縮小輝度信号の水平画素数を前記符号化器における解像度の低下率に対応する所定値で除算した余りの2の補数を、前記差として出力することを特徴とする請求項1記載の映像信号処理回路。

【請求項3】 前記判別回路は、前記輝度信号の水平画素を順次カウントするカウンタで構成され、前記符号化器における解像度の低下率に関連するビットのカウンタ出力もしくはその2の補数出力を前記差として出力することを特徴とする請求項1記載の映像信号処理回路。

【請求項4】 前記カウンタは、1水平期間中の前記輝度信号の水平画素数をカウントするカウンタであって、前記読み出し制御回路は該カウンタの出力もしくはその補数出力に基づき前記フレームメモリからの読み出し期間を決定することを特徴とする請求項3記載の映像信号処理回路。

【請求項5】 前記フレームメモリは、ライトイネーブル信号に応じて前記縮小輝度信号を書き込み、前記補正回路は前記判別した差の画素数分だけ前記ライトイネーブル信号を追加的に供給することを特徴とする請求項1乃至3記載の映像信号処理回路。

【請求項6】 前記縮小回路は、前記縮小輝度信号及び縮小色信号の有効期間を各々表すパルス列のイネーブル信号を出力し、前記フレームメモリは前記縮小輝度信号及び縮小色信号に対応するイネーブル信号に応じて各々記憶する構成であって、前記判別回路は前記イネーブル信号のパルスをカウントすることにより前記差を判別し、前記補正回路は前記判別した差に相当するダミーパルスを前記縮小輝度信号のイネーブル信号として追加的に供給するダミーパルス発生回路を有することを特徴とする請求項1乃至3記載の映像信号処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、テレビ画面もしくはデ

2

イスプレイ画面上に、映像信号を縮小してウインドウ表示する映像信号処理回路に関する。

【0002】

【従来の技術】 従来、映像信号を表示するテレビ画面上に、他の映像信号を縮小処理してウインドウ表示するピクチャーインピクチャー機能を有する装置が製品化されており、このような装置においては、その縮小率は一定であった。ところが、近年マルチメディア時代を迎え、テレビ画面上に複数の映像信号を任意の縮小率で縮小処理してウインドウ表示することが要求されるようになってきた。

【0003】 また、従来は、このような縮小処理を行う場合、R、G、Bもしくは輝度信号Y、色信号Cb (B-Y)、色信号Cr (R-Y)の各信号解像度が同一である4:4:4コンポーネント映像信号が、通常用いられていた。

【0004】

【発明が解決しようとする課題】 4:4:4コンポーネント映像信号を用いて縮小処理を行う場合、回路規模が大きくなるという問題があるが、一般に、人間の目は色信号に対してあまり敏感ではないという特性がある。そこで、この特性を利用して、4:4:4コンポーネント映像信号を、色信号の解像度のみを半分もしくは1/4に低下させた4:2:2コンポーネント符号化映像信号もしくは4:1:1コンポーネント符号化映像信号に一旦変換し、変換した符号化映像信号を縮小処理することによって、回路規模を小さくすることが考えられる。

【0005】 しかしながら、4:2:2コンポーネント符号化映像信号もしくは4:1:1コンポーネント符号化映像信号を縮小処理した後、元の4:4:4コンポーネント映像信号に復号すると、縮小率によっては、復号した色信号の水平画素数と輝度信号の水平画素数に違いが生じてしまい、このために、表示画像に色ずれが生じるという問題が発生する。

【0006】 例えば、4:4:4コンポーネント映像信号の水平画素数が「404」の場合、4:1:1コンポーネント符号化映像信号では、色信号の解像度が1/4になるので、色信号の水平画素数は「101」となる。ここで、1/2の縮小率で縮小処理を行うと、輝度信号の水平画素数は「202」となり、色信号の水平画素数は「51」となる。そして、この縮小信号を4:4:4コンポーネント映像信号に復号すると、輝度信号はそのままの「202」であるが、色信号は4倍の「204」となるので、輝度信号と色信号では水平画素数に「2」の差が生じることとなる。よって、この状態で表示を行うと、画素数の差に応じて色ずれが生ずる。

【0007】

【課題を解決するための手段】 本発明は、輝度信号及び色信号を入力し該色信号の解像度を低下させた信号に符号化する符号化器と、該符号化器によって符号化された

3

輝度信号及び色信号を縮小処理し、縮小輝度信号及び縮小色信号を出力する縮小回路と、該縮小輝度信号及び縮小色信号を各々記憶するフレームメモリと、前記フレームメモリからの縮小輝度信号及び縮小色信号の読み出しを制御する読み出し制御回路と、読み出された縮小輝度信号及び縮小色信号を入力し該縮小色信号の解像度を入力色信号の解像度と等しい信号に復号化する復号化器と、前記縮小色信号を前記復号化器で復号したときの水平画素数と前記縮小輝度信号の水平画素数との差を判別する判別回路を含み、該判別した差の画素数分だけ前記フレームメモリへの前記縮小輝度信号の書き込み位置を補正する補正回路とを備えたことを特徴とする。

【0008】また、本発明では、前記判別回路は、前記縮小輝度信号の水平画素数を前記符号化器における解像度の低下率に対応する所定値で除算した余りの2の補数を、前記差として出力することを特徴とする。また、本発明では、前記判別回路は、前記輝度信号の水平画素を順次カウントするカウンタで構成され、前記符号化器における解像度の低下率に関連するビットのカウンタ出力もしくはその2の補数出力を前記差として出力することを特徴とする。

【0009】また、本発明では、前記カウンタは、1水平期間中の前記輝度信号の水平画素数をカウントするカウンタであって、前記読み出し制御回路は該カウンタの出力もしくはその補数出力に基づき前記フレームメモリからの読み出し期間を決定することを特徴とする。また、本発明では、前記フレームメモリは、ライトイネーブル信号に応じて前記縮小輝度信号を書き込み、前記補正回路は前記判別した差の画素数分だけ前記ライトイネーブル信号を追加的に供給することを特徴とする。

【0010】また、本発明では、前記縮小回路は、前記縮小輝度信号及び縮小色信号の有効期間を各々表すパルス列のイネーブル信号を出力し、前記フレームメモリは前記縮小輝度信号及び縮小色信号に対応するイネーブル信号に応じて各々記憶する構成であって、前記判別回路は前記イネーブル信号のパルスをカウントすることにより前記差を判別し、前記補正回路は前記判別した差に相当するダミーパルスを前記縮小輝度信号のイネーブル信号として追加的に供給するダミーパルス発生回路を有することを特徴とする。

【0011】

【作用】本発明では、入力される輝度信号及び色信号が、符号化器によって色信号の解像度を低下させた符号化信号に変換され、縮小回路によって縮小処理される。そして、縮小された輝度信号及び色信号は各々フレームメモリに記憶されるが、縮小色信号を復号化器によって元の解像度に復号したときの水平画素数と縮小輝度信号の水平画素数との差が判別回路で判別され、補正回路によってこの差の画素数分だけフレームメモリへの縮小輝度信号の書き込み位置が補正されるので、復号後の縮小

4

輝度信号と縮小色信号の水平画素数は等しくなり、表示したときの色ずれは起こらなくなる。

【0012】

【実施例】図1は、本発明の実施例の構成を示すブロック図であり、1は輝度信号Y、色信号としての色差信号Cb、Crよりなる4:4:4コンポーネント映像信号を入力し、色差信号Cb、Crをダウンサンプリングして色差信号の解像度を1/4に低下させた4:1:1コンポーネント符号化映像信号に変換する符号化器、2、3、4は変換された4:1:1コンポーネント符号化映像信号を任意の縮小率1/Kで縮小処理し、縮小輝度信号SY、縮小色差信号SCb、縮小色差信号SCrを出力すると共に、各信号の有効期間を示すイネーブル信号ENy、ENc、ENCを各々出力する縮小回路である。

【0013】この縮小回路の処理は単なる間引きでもよいし、あるいは、水平方向に並んだ複数画素からフィルタ処理してもよく、また、色差信号は水平方向の解像度が1/4に低下しているため、色差信号用の縮小回路3、4は、輝度信号用の縮小回路2の1/4のクロック周波数で動作する。5、6、7は、縮小回路から出力されるイネーブル信号ENy、ENC、ENCをライトイネーブル信号WEとして入力し、このライトイネーブル信号WEがHレベルの期間、クロックジェネレータ8からのクロック信号WCLKy、WCLKcに応じて、各々、縮小輝度信号SY、縮小色差信号SCb、縮小色差信号SCrを書き込むフレームメモリ、10はフレームメモリ5、6、7からの読み出し期間を示すリードイネーブル信号REを発生する読み出し制御回路であり、このリードイネーブル信号REがHレベルの期間、クロックジェネレータ9からのクロック信号RCLKy、RCLKcに応じて、フレームメモリ5、6、7から、各々、縮小輝度信号SY、縮小色差信号SCb、縮小色差信号SCrが読み出される。これらのフレームメモリ5、6、7には、ライトイネーブル信号WEがHレベルの期間に印加される書き込み用のクロック信号WCLKy、WCLKc、WCLKcを各々カウントして書き込みアドレスを決定するためのライトアドレスカウンタ50、60、70が設けられている。

【0014】クロックジェネレータ8、9は、各々、パソコンの画素クロック信号PCCLK及びNTSC方式のテレビ用の画素クロック信号NTSCCLKに基づいて、書き込み及び読み出し用のクロック信号を出力するものであり、クロック信号WCLKc及びRCLKcは、各々、クロック信号WCLKy及びRCLKyの1/4のクロック周波数に設定されている。

【0015】また、11はフレームメモリ5、6、7から読み出された4:1:1コンポーネント符号化映像信号を、元の解像度と同一の4:4:4コンポーネント映像信号OY、OCb、OCrに復号化する復号化器、1

5

2は復号化された4:4:4コンポーネント映像信号にウインドウの枠を示す枠信号を付加して出力する枠付加回路である。

【0016】更に、本実施例では、輝度信号用のイネーブル信号ENyをカウントする2ビットのダウンカウンタ130と、ダウンカウンタ130のカウント結果に相当するダミーパルスCNyを発生するダミーパルス発生回路131よりなる補正回路13が設けられており、ダミーパルスCNyとイネーブル信号ENyをORゲート14を介してフレームメモリ5へのライトイネーブル信号WEとして供給している。このライトイネーブル信号WEは、読み出し制御回路10にも供給されて内部のカ

ウンタ100でカウントされ、このカウンタのカウント結果に相当する期間、リードイネーブル信号REがHレベルとなる。

【0017】以下、本実施例の動作を図2のタイミングチャートを参照しながら説明する。今、入力された4:4:4コンポーネント映像信号の水平画素数が、図2ウに示すように「404」であったとすると、符号化器1で符号化された4:1:1コンポーネント映像信号は、図2ウ、エ、オに示すように、その色差信号Cb、Crの解像度が1/4となり、水平画素数は「101」となる。尚、輝度信号Yの水平画素数は元と同一の「404」である。

【0018】ここで、縮小回路2、3、4により、1/2に縮小処理したとすると、縮小輝度信号SYは図2カに示すようにその水平画素数が半分の「202」になり、イネーブル信号ENyとしては図2キに示すように、1画素毎に交互にHレベルとLレベルを繰り返す信号が出力される。また、縮小色差信号Cb、Crとしては、図2ク、ケに示すように、その水平画素数が同様に約半分の「51」になり、イネーブル信号ENyの4倍の周波数のイネーブル信号ENCが図2コの如く出力される。

【0019】フレームメモリ6、7では、その内部のライトアドレスカウンタ60、70が、イネーブル信号ENCがHレベルの期間にクロック信号WCLKcをカウントすることによりライトアドレスが更新され、このライトアドレスに縮小色差信号SCb、SCrが順次書き込まれる。同様に、輝度信号用のフレームメモリ5では、その内部のライトアドレスカウンタ50が、イネーブル信号ENyがHレベルの期間にクロック信号WCLKyをカウントすることによりライトアドレスが更新され、このライトアドレスに縮小輝度信号SYが順次書き込まれる。

【0020】補正回路13の2ビットダウンカウンタ130は、初期値として「00」が設定され、1水平期間を示すウインドウ信号WIND(図2イ)がHレベルの期間、輝度信号用のイネーブル信号ENyをカウントする構成であり、このため、このカウンタ130は、

6

「0」、「3」、「2」、「1」を順次繰り返すこととなる。よって、ウインドウ信号WINDがLレベルになったときには、カウンタ130のカウント結果は、1水平期間における縮小輝度信号SYの水平画素数を4で割ったときの余りに対して2の補数をとった値となる。

【0021】縮小色差信号Cb、Crは、後段の復号化器11によってその水平画素数が4倍に拡大されるため、ウインドウ信号WINDがLレベルになったときのカウンタ130のカウント結果は、縮小色差信号Cb、Crを復号化器11によって復号化したときの水平画素数と、縮小輝度信号SYの水平画素数との差を示す値となる。

【0022】そして、この差に相当する数のダミーパルスCNyが、ダミーパルス発生回路131から出力され、ORゲート14を介してライトイネーブル信号WEとしてフレームメモリ5に入力されるので、フレームメモリ5のアドレスカウンタ50は、信号WINDがHレベルである期間にイネーブル信号ENyに応じて更新されたライトアドレスから更に、ダミーパルス分だけライトアドレスが更新されることとなる。この実施例の場合、縮小輝度信号SYの水平画素数が「202」であるので、カウンタ130にイネーブル信号ENyが「200」パルス入力された時点で、カウンタ130の値は「00」に戻り、その後2パルスのイネーブル信号ENyが入力されることによって、カウンタ130の値は順次「3」、「2」と変化し、この状態でカウントが停止する。従って、ダミーパルス発生回路131からは、2個のダミーパルスCNyが図2サに示すように出力されることとなり、このダミーパルスが図2シに示すようにORゲート14を介してフレームメモリ5に入力される。

【0023】フレームメモリでは、このため、アドレスカウンタ50が「202」から更に2アドレスだけ更新されて「204」となり、この状態でアドレスの更新が停止する。つまり、1水平期間において必ず4の倍数毎にアドレスの更新が行われ、従って、縮小輝度信号を復号化器11によって4倍したときに、縮小輝度信号と縮小色差信号の水平画素数は必ず一致するようになる。

【0024】読み出し制御回路10内のカウンタ100は、ORゲート14の出力をカウントするため、そのカウンタ値は、イネーブル信号ENyとダミーパルスCNyを加算した値となり、この期間、リードイネーブル信号REがHレベルとなり、Hレベルの期間フレームメモリ5、6、7から各縮小信号が読み出される。よって、補正した画素数の縮小輝度信号SYがフレームメモリ5から読み出され、また、フレームメモリ6、7からは、補正した画素数の1/4の画素数の縮小色差信号Cb、Crが読み出されることとなる。

【0025】このようにして、読み出された4:1:1コンポーネント符号化映像信号は、復号化器11によ

て、図2ソ、タ、チに示すような元の4:4:4コンポーネント映像信号OY, OCb, OCrに変換され、枠付加回路12によって端部に枠が付加されて出力される。この例では、枠の幅が3画素に設定されており、端部の3画素は表示されることがない。本実施例の場合、縮小色差信号Cb, Crを復号化器11によって復号化したときの水平画素数と、縮小輝度信号SYの水平画素数との差は最大3画素であるので、3画素の差が生じたときにもダミーパルスによって追加的にフレームメモリ5に書き込まれた縮小輝度信号が表示されないように、枠の幅を3画素にしている。

【0026】次に、図3、図4によって、他の実施例について説明する。上述の実施例においては、ダミーパルスを発生させるためのカウンタ130と、リードイネーブル信号WEを発生させるためのカウンタ100を、別々の回路で構成したが、以下においては、これらのカウンタを1つのカウンタで共用している。

【0027】即ち、図3においては、補正回路13のカウンタを、ORゲート14から出力されるライトイネーブル信号WEを入力し、1水平期間のイネーブル信号ENyとその後に出力されるダミーパルスCNyの総パルス数がカウント結果として得られるようなビット数の1Hダウンカウンタ133で構成されている。上記の例では、補正した水平画素数は「204」であるので、8ビットカウンタとすればよい。

【0028】この1Hダウンカウンタ133には、初期値としてオール0が設定され、ライトイネーブル信号WEをカウントする毎に、順次、「11111111」、「11111110」というようにカウント値がダウンするが、信号WINDがHレベルの期間では下位の2ビットは、図1のカウンタ130と全く同一の動作する。従って、この1Hダウンカウンタ133の下位2ビットをダミーパルス発生回路131に入力すれば、先の実施例同様、水平画素数の差に相当するダミーパルスを出力することができる。

【0029】この例では、1Hカウンタ133としてダウンカウンタを用いているので、1水平期間のイネーブル信号ENyとその後に出力されるダミーパルスCNyの総パルス数は、1Hカウンタのカウント結果について2の補数算出回路134で2の補数を算出すれば、その算出値が総パルス数となり、よって、この値を読み出し制御回路10に供給すれば、図1のカウンタ100を省略することができる。

【0030】図4の例は、図3のダウンカウンタをアップカウンタにした例であり、初期値としてオール0を設定すれば、信号WINDがHレベルである1水平期間のカウント結果として、1Hアップカウンタの下位2ビットには、イネーブル信号ENyのパルス数を4で割った余りが得られる。そこで、この2ビットの値について、2の補数算出回路136で2の補数をとれば、先の実施

例同様、水平画素数の差に相当する値が得られ、これをダミーパルス発生回路131に入力すれば、その差に相当する数のダミーパルスが出力されることとなる。この例の場合、1Hアップカウンタ135には、1水平期間のイネーブル信号ENyとその後に出力されるダミーパルスCNyの総パルス数が得られるので、この値をそのまま読み出し制御回路10に供給すれば、図1のカウンタ100は省略できる。

【0031】以上は、4:1:1コンポーネント符号化映像信号を用いた例であったが、4:2:2コンポーネント符号化映像信号を用いるときは、図1においては、カウンタ130のビット数を1ビットとして、イネーブル信号ENyをカウントする毎に「1」、「0」を繰り返すようにすればよく、また、図3、4においては、1Hカウンタ133、135の最下位ビットのみを、ダミーパルス発生回路131もしくは2の補数算出回路136に入力すればよい。

【0032】この4:2:2コンポーネント符号化映像信号を用いた場合、ダミーパルス発生回路131には、縮小輝度信号SYの水平画素数を「2」で割った余りの2の補数が出力されることとなる。ただし、この2の補数は実質的に、縮小輝度信号SYの水平画素数を「2」で割った余りと同一の値となるので、図4の2の補数回路は省略可能である。

【0033】

【発明の効果】本発明によれば、色信号の解像度を低下させた符号化器を用いることにより、回路規模を小さくできると共に、水平画素の違いにより生じる色ずれを確実に防止することができるようになる。

【図面の簡単な説明】

【図1】本発明の実施例の構成を示すブロック図である。

【図2】実施例の動作を示すタイミングチャートである。

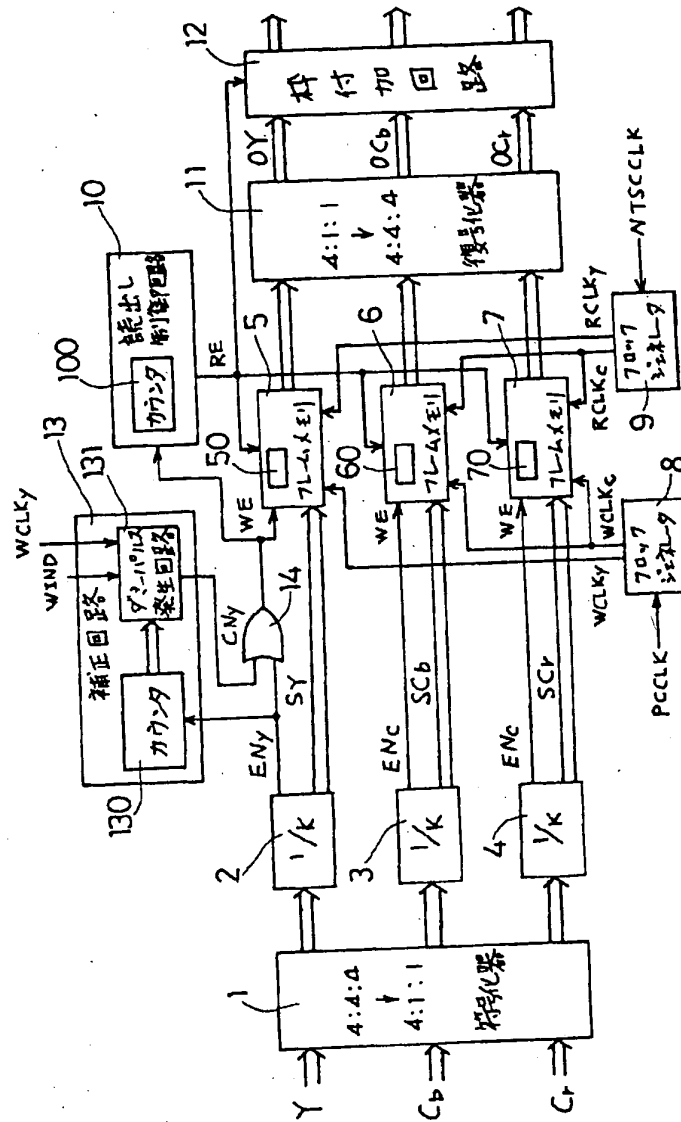
【図3】他の実施例の要部を示すブロック図である。

【図4】更に他の実施例の要部を示すブロック図である。

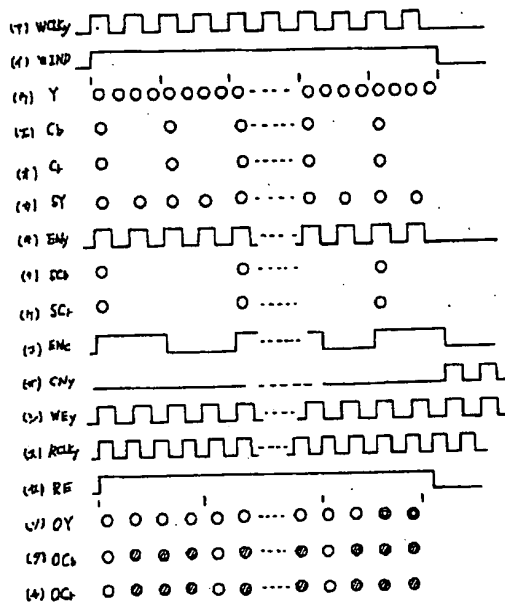
【符号の説明】

- 1 符号化器
- 2, 3, 4 縮小回路
- 5, 6, 7 フレームメモリ
- 10 読み出し制御回路
- 11 復号化器
- 13 補正回路
- 100, 130 カウンタ
- 131 ダミーパルス発生回路
- 133 1Hダウンカウンタ
- 134, 136 2の補数算出回路
- 135 1Hアップカウンタ

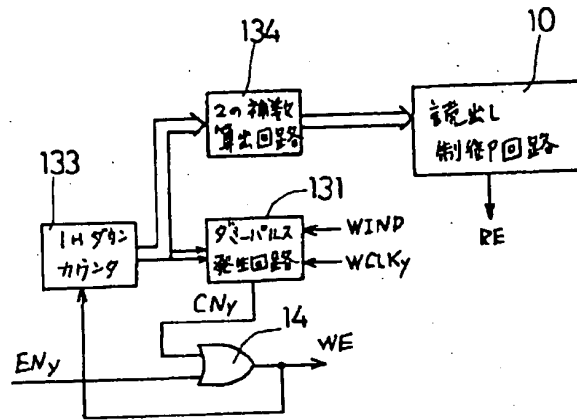
【図1】



【図2】



【図3】



【図4】

